

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020058338 A  
(43)Date of publication of application: 12.07.2002

(21)Application number: 1020000086406  
(22)Date of filing: 29.12.2000

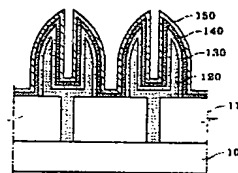
(71)Applicant: HYNIX SEMICONDUCTOR INC.  
(72)Inventor: KIM, JUN HO  
PARK, DONG SU

(51)Int. Cl. H01L 27/108

## (54) METHOD FOR FORMING CAPACITOR OF SEMICONDUCTOR DEVICE

## (57) Abstract:

PURPOSE: A method for forming a capacitor of a semiconductor device is provided to improve electric characteristics by nitrating a surface of a lower electrode and forming a tantalum oxynitride layer thereon.



CONSTITUTION: An oxide layer(110) is deposited on a silicon substrate(100). A lower electrode(120) of a cylinder structure is formed thereon by performing a contact etch process and depositing a polysilicon layer. A nitride layer(130) is formed by performing a high thermal process on a surface of the silicon lower electrode(120). A tantalum oxynitride layer(140) is formed on an upper surface of the above structure. An amorphous tantalum oxynitride layer(140) is formed by providing O<sub>2</sub> gas or NH<sub>3</sub> gas as a reaction gas to an LPCVD chamber. A silicon nitride layer(150) is deposited on an upper surface of the above structure. The amorphous tantalum oxynitride layer(140) is crystallized by performing a thermal process.

&copy; KIPPO 2003

## Legal Status

Date of final disposal of an application (20030326)

Patent registration number (1003864500000)

Date of registration (20030522)

# (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

|                              |  |                              |
|------------------------------|--|------------------------------|
| (51) Int. Cl.<br>H01L 27/108 | (11) 공개번호<br>(43) 공개일자   | 특2002-0058338<br>2002년07월12일 |
| (21) 출원번호                    | 10-2000-0086406  |                              |
| (22) 출원일자                    | 2000년12월29일  |                              |
| (71) 출원인                     | 주식회사 하이닉스반도체, 박종섭<br>대한민국<br>467-866   |                              |
| (72) 발명자                     | 경기 이천시 부발읍 아미리 산136-1<br>김준호<br>대한민국<br>135-282<br>서울특별시강남구대치2동미도아파트109동704호<br>박동수<br>대한민국<br>467-010<br>경기도이천시창전동410-7유진빌라201호 |                              |
| (74) 대리인                     | 특허법인아주(대표변리사정은섭)   |                              |
| (77) 심사청구                    | 있음   |                              |
| (54) 출원명                     | 반도체 소자의 커패시터 형성방법  |                              |

### 요약

본 발명은 반도체 소자 공정 중 탄탈륨 옥시 나이트라이드(TaON)막을 이용한 반도체 소자의 커패시터 형성방법에 대한 것으로, 특히 하부 전극의 표면에 질화처리 한 후 탄탈륨 옥시 나이트라이드막을 형성함으로써, 구조적으로 안정된 Ta-O-N 결합구조를 갖고 있어 하부전극과의 산화반응성이 작아져 산화막의 실효 두께를 낮출 수 있어 높은 충전용량을 확보가능하고, 또한 절연파괴전압이 높으며, 누설전류 수준이 낮은 전기적 특성을 얻을 수 있도록 하는 것을 특징으로 하여 반도체 소자의 특성, 신뢰성을 향상시키고 그에 따른 반도체 소자의 고집적화를 가능하게 하는 기술로 매우 유용하고 효과적인 장점을 지닌 발명에 관한 것이다.

### 대표도

도1d

### 색인어

탄탈륨 옥시 나이트라이드(TaON), 커패시터

### 명세서

### 도면의 간단한 설명

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 커패시터 형성방법을 순차적으로 나타낸 단면도이다.

### -- 도면의 주요부분에 대한 부호의 설명 --

|              |              |
|--------------|--------------|
| 100 : 반도체 기판 | 110 : 중간절연막  |
| 120 : 하부전극   | 130 : 질화처리막  |
| 140 : TaON막  | 150 : 질화실리콘막 |

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 하부 전극의 표면에 질화처리 한 후 탄탈륨 옥시 나이트라이드막을 형성함으로써, 구조적으로 안정된 Ta-O-N 결합구조를 갖고 있어 하부전극과의 산화반응성이 작아져 산화막의 실효 두께(T<sub>ox</sub>)를 낮출 수 있어 높은 충전용량을 확보가능하고, 또한 절연파괴전압이 높으며, 누설전류 수준이 낮은 전기적 특성을 얻을 수 있도록 하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법에 관한 것이다.

최근 반도체 집적회로 공정 기술이 발달함에 따라 반도체 기판 상에 제조되는 소자의 최소 선폭 길이는 더욱 미세화되고, 단위 면적당 집적도는 증가하고 있다. 한편, 메모리 셀의 집적도가 증가함에 따라서 전하 저장용 셀 커패시터가 점유할 수 있는 공간은 더욱 좁아지게 되므로, 단위 면적당 정전 용량이 증대된 셀 커패시터의 개발이 필수적이다.

일반적으로, 커패시터는 전하를 저장하고, 반도체 소자의 동작에 필요한 전하를 공급하는 부분으로서, 반도체 소자가 고집적화 되어짐에 따라 단위 셀(cell)의 크기는 작아지면서 소자의 동작에 필요한 정전용량(Capacitance)은 약간씩 증가되고 있다.

커패시터의 전하저장전극의 구조를 보면, 크게 전하를 저장하는 전극은 좁은 평면적 위에 여러 층을 쌓아서 넓은 커패시터이 면적을 얻고자 하는 적층구조(Stacked Structure)와, 반도체 기판에 일정한 깊이의 홈을 형성한 후에 그 부위에 커패시터를 형성하여 전하를 저장하도록 하는 홈구조(Trench Structure)등으로 크게 대별되어지고 있다.

특히, 상기 적층구조는 핀 형상으로 형성되는 핀(Fin)타입과, 실린더와 같이 원통형상으로 형성되는 실린더(Cylinder)타입 및 캐비티(Cavity)타입에 변형을 가미한 HSG(Hemispherical Shaped Grains) 및 벨로즈(Bellows)등과 같은 변형 커패시터 구조 등으로 구성되어 커패시터의 충전 용량을 증가시키는 노력이 이루어지고 있다.

종래에는 차세대 디램 제품에 필요한 충전용량을 확보하기 위해 유전체막으로  $Ta_2O_5$  막을 사용하였는데, 상기  $Ta_2O_5$  막은 불안정한 화학양론비를 갖고 있기 때문에 Ta와 O의 조성비 차이에 기인한 치환형 Ta원자(vacancy atom)가 박막 내에 존재하게 되며, 상기  $Ta_2O_5$  막 형성 시  $Ta_2O_5$ 의 프레커서(precursor)인  $Ta(OC_2H_5)_5$ 의 유기물과  $O_2$  또는  $N_2O$  가스의 반응으로 인하여 불순물인 탄소 원자와 탄소화합물도 함께 존재하게 된다.

그 결과, 상기  $Ta_2O_5$  막 내에 불순물로 존재하는 탄소원자(C), 이온(ion)과 라디칼(radical)로 인해서 커패시터의 누설전류(leakage current)가 증가하게 되고 유전특성이 열화되는 문제점이 있었다.

또한, 상기  $Ta_2O_5$  막 내에 불순물을 제거하기 위하여 저온 열처리를 이종, 상중으로 처리하여 공정 스텝이 증가하며,  $Ta_2O_5$  막의 산화 저항성이 낮아 하부 전극의 산화가 심하여 산화막의 실효두께(Tox)를 낮추는데 한계가 발생하는 문제점이 있었다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 하부 전극의 표면에 질화처리 한 후 탄탈륨 옥시 나이트라이드( $TaON$ )막을 형성함으로써, 구조적으로 안정된 Ta-O-N 결합구조를 갖고 있어 하부전극과의 산화반응성이 작아져 산화막의 실효두께(Tox)를 낮출 수 있어 높은 충전용량을 확보가능하고, 또한 절연파괴전압이 높으며, 누설전류 수준이 낮은 전기적 특성을 얻을 수 있도록 하는 것이 목적이다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 소정의 하부구조를 가지고 있는 반도체 기판 상에 하부전극을 형성하는 단계와, 상기 하부전극 표면에 탄탈륨 옥시 나이트라이드막을 형성하는 단계와, 상기 결과물 상에 질화실리콘막을 증착한 후 고온 열처리하여 탄탈륨 옥시 나이트라이드막을 결정화시키는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 커패시터 형성방법을 제공한다.

본 발명은 상기 탄탈륨 옥시 나이트라이드막 형성 시 300~600℃ 범위의 LPCVD 챔버 내에서 Ta 성분의 화학증기를 반응가스인  $O_2$ ,  $NH_3$  가스를 유량조절기를 통해 각각 정량하여 공급한 후 웨이퍼 상에서 표면화학반응을 유도하여 비정질 탄탈륨 옥시 나이트라이드막을 형성하는 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명하고자 한다.

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 커패시터 형성방법을 순차적으로 나타낸 단면도이다.

도 1a에 도시된 바와 같이, 상기 소정의 하부구조를 가지고 있는 반도체 기판(100) 상에 산화막(110)을 증착하고 콘택식각 공정을 실시한 후 폴리실리콘막(미도시함)을 증착하여 폴리실리콘으로 이루어진 실린더(cylinder) 구조의 하부전극(120)을 형성한다.

이때, 상기 하부전극(120)으로 폴리실리콘 대신에 아몰포스(amorphous) 실리콘을 사용할 수 있으며, 아몰포스 실리콘을 사용 할 경우에는 하부전극(120) 면적 증가를 위하여 하부전극 표면이 울퉁불퉁하게 굴곡이 있는 준안정폴리실리콘(미도시함)을 형성한다.

그리고, 도 1b에 도시된 바와 같이, 상기 실리콘 하부 전극(120)의 표면에 산소분위기에서 고온 열처리를 함으로써 하부 전극의 산화로 인해 발생하는 저유전층( $SiO_2$ ) 형성을 방지하기 위해 폴리실리콘 표면을 질화처리 시켜 질화층(130)을 형성한다.

이때, 상기 폴리실리콘 표면 질화처리(130) 시 동일한 챔버 내에서 LPCVD 방법 및 다른 챔버 내에서 급속 열공정을 실시하는 방법 중 적어도 어느 하나의 방법을 이용하여 질화처리 시킬 수 있다.

또한, 상기 동일한 챔버 내에서 실시할 경우 200~600℃ 범위의 온도를 유지하며, LPCVD를 이용하여  $NH_3$ 와  $NH_3/O_2$  및  $NH_3/N_2O$  중 적어도 어느 하나인 가스를 공급하여 실리콘 표면을 질화시키고, 다른 챔버 내에서 실시할 경우 700~950℃ 범위의 온도를 유지하며, 급속 열공정(RTP: Rapid Thermal Processing)으로  $NH_3$ 와  $NH_3/O$

$2$  및  $NH_3/N_2O$  중 적어도 어느 하나인 가스를 공급하여 실리콘 표면을 질화시킨다.

이어서, 도 1c에 도시된 바와 같이, 상기 결과물 상에 탄탈륨 옥시 나이트라이드( $TaON$ )막(140)을 형성한 후 탄탈륨 옥시 나이트라이드막(140) 내의 나이트로젠 성분비를 증가시키기 위한 공정을 실시한다.

이때, 상기 탄탈륨 옥시 나이트라이드막(140) 형성 시 Ta 성분의 화학증기는 Ta 화합물을 유량조절기를 통해 증발기 또는 증발관으로 정량 공급한 후 150~200℃ 범위의 온도에서 증발시켜서 얻는다.

또한, 상기 Ta 성분의 화학증기와 반응가스인  $O_2$ ,  $NH_3$  가스를 유량조절기를 통해 각각 정량하여 공급한 후 300~600℃ 범위의 LPCVD 챔버 내에서 표면화학반응을 유도하여 비정질 탄탈륨 옥시 나이트라이드막(140)을 형성한다.

그리고, 상기 탄탈륨 옥시 나이트라이드막(140) 내의 나이트로젠 성분비를 증가시키기 위한 공정으로 플라즈마를 이용한  $NH_3$  처리방법 또는  $N_2$  분위기에서 고온 열처리를 진행하는 방법 중 적어도 어느 하나의 방법을 이용한다.

계속하여, 도 1d에 도시된 바와 같이, 상기 결과를 상에 질화실리콘막(150)을 5~30 Å 정도의 두께로 증착한 후 고온 열처리하여 탄탈륨 옥시 나이트라이드( $TaON$ )막(140)을 결정화시킨다.

이때, 상기 질화실리콘막(150)은  $SiH_4$ 와  $Si_2H_6$  및  $Si_2H_2$

$Cl_2$  중 적어도 어느 하나인 가스와  $NH_3$ 와  $N_2$  및  $N_2O$  중 적어도 어느 하나의 가스를 이용하여 0.1~200torr 압력의 범위를 유지하며 400~850℃ 범위의 온도에서 증착시킨다.

상기 질화실리콘막(150)은 탄탈륨 옥시 나이트라이드막(140) 내의 나이트로젠 성분의 유실을 방지하고 후속 열처리 공정에 있어서 탄탈륨 옥시 나이트라이드막(140) 내의 옥시겐 성분의 손실을 방지할 수 있다.

또한, 상기 탄탈륨 옥시 나이트라이드막(140)의 결정화는 700~950℃ 범위의 온도에서  $N_2$  분위기로 고온 열처리하고, 고온 열처리 방법으로는 급속 열공정(RTP:Rapid Thermal Processing) 또는 전기로(furnace)로 중 적어도 어느 하나의 방법을 이용하여 처리하며, 전기로를 이용할 경우에는 5~10torr 정도의 저압에서 진행하여 열처리 효과를 증대시키는 것이 가능하다.

#### 발명의 효과

따라서, 상기한 바와 같이, 본 발명에 따른 반도체 소자의 커패시터 형성방법을 이용하게 되면, 실린더 구조의 하부 전극의 표면에 질화처리 한 후 탄탈륨 옥시 나이트라이드막을 형성함으로써, 구조적으로 안정된 Ta-O-N 결합구조를 갖고 있어 하부전극과의 산화반응성이 작아져 등가산화막의 두께( $Tox$ )를 낮출 수 있어 높은 충전용량을 확보가능하고, 또한 절연파괴전압이 높으며, 누설전류 수준이 낮은 전기적 특성을 얻을 수 있도록 하는 매우 유용하고 효과적인 발명이다.

#### (57) 청구의 범위

##### 청구항 1.

소정의 하부구조를 가지고 있는 반도체 기판 상에 실린더 구조의 하부전극을 형성하는 단계와;

상기 결과를 상에 탄탈륨 옥시 나이트라이드막을 형성하는 단계와;

상기 결과를 상에 질화실리콘막을 증착한 후 고온 열처리하여 탄탈륨 옥시 나이트라이드막을 결정화시키는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

##### 청구항 2.

제 1항에 있어서, 상기 실린더 구조의 하부 전극 형성 후, 하부 전극 표면에 질화처리 공정 더 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

##### 청구항 3.

제 2항에 있어서, 상기 질화처리 공정 시, 동일한 챔버 내에서 200~600℃ 범위의 온도를 유지하며, LPCVD를 이용하여  $NH_3$ 와  $NH_3/O_2$  및  $NH_3/N_2O$  중 적어도 어느 하나인 가스를 공급하여 실리콘 표면을 질화시키는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

##### 청구항 4.

제 2항에 있어서, 상기 질화처리 시, 다른 챔버 내에서 700~950℃ 범위의 온도를 유지하며, 급속 열공정으로  $NH_3$ 와  $NH_3/O_2$  및  $NH_3/N_2O$  중 적어도 어느 하나인 가스를 공급하여 실리콘 표면을 질화시키는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

##### 청구항 5.

제 1항에 있어서, 상기 탄탈륨 옥시 나이트라이드막 형성 시, Ta 성분의 화학증기는 Ta 화합물을 유량조절기를 통해 증발기 또는 증발관으로 정량 공급한 후 150~200℃ 범위의 온도에서 증발시켜서 얻는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

##### 청구항 6.

제 1항 및 4항에 있어서, 상기 탄탈륨 옥시 나이트라이드막 형성 시, 300~600℃ 범위의 LPCVD 챔버 내에서 Ta 성분의 화학증기를 반응가스인  $O_2$ ,  $NH_3$  가스를 유량조절기를 통해 각각 정량하여 공급한 후 웨이퍼 상에서 표면화학반응을 유도하여 비정질 탄탈륨 옥시 나이트라이드막을 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

**청구항 7.**

제 1항에 있어서, 상기 탄탈륨 옥시 나이트라이드막 형성 후, 탄탈륨 옥시나티트라이드막 내의 나이트로젠 성분비를 증가시키는 공정을 더 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

**청구항 8.**

제 6항에 있어서, 상기 탄탈륨 옥시나티트라이드막 내의 나이트로젠 성분비를 증가시킬 때, 플라즈마를 이용한  $\text{NH}_3$  처리방법 또는  $\text{NH}_3$  분위기에서 고온 열처리를 진행하는 방법을 이용하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

**청구항 9.**

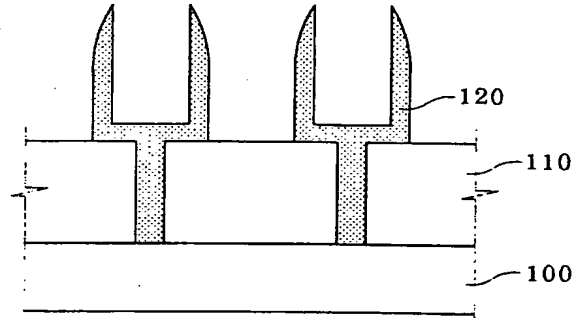
제 1항에 있어서, 상기 질화실리콘막은 0.1~200torr 압력의 범위를 유지하며 400~850℃ 범위의 온도에서, 5~30 Å 정도의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

**청구항 10.**

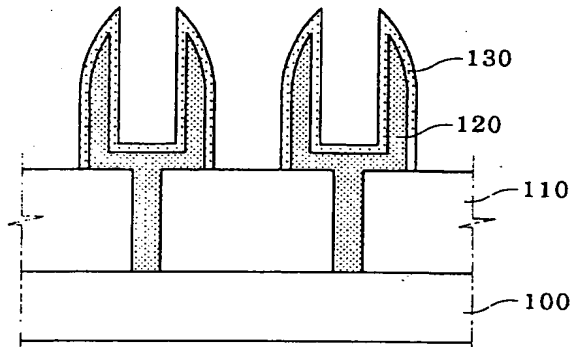
제 1항 및 제 8항에 있어서, 상기 질화실리콘막 증착시,  $\text{SiH}_4$ 와  $\text{Si}_2\text{H}_6$  및  $\text{Si}_2\text{H}_2\text{Cl}_2$  중 적어도 어느 하나인 가스와  $\text{NH}_3$ 와  $\text{N}_2$  및  $\text{N}_2\text{O}$  중 적어도 어느 하나의 가스를 이용하여 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

도면

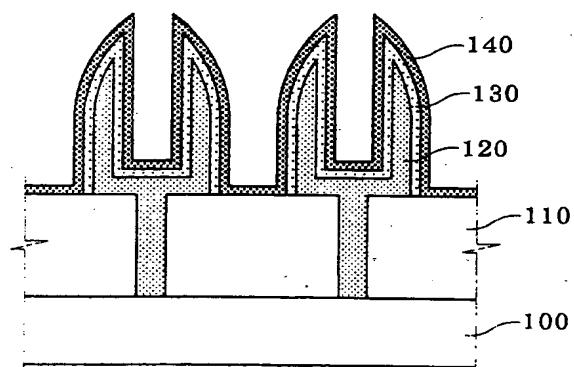
도면 1a



도면 1b



도면 1c



도면 1d

